

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-343450

(P2004-343450A)

(43) 公開日 平成16年12月2日(2004.12.2)

(51) Int.Cl.⁷

F 1

テーマコード(参考)

H 0 4 N 5/335

H 0 4 N 5/335

Z

4 M 1 1 8

H 0 1 L 21/339

H 0 4 N 5/335

F

5 C 0 2 4

H 0 1 L 21/822

H 0 1 L 27/14

B

5 F 0 3 8

H 0 1 L 27/04

H 0 1 L 29/76

3 O 1 C

H 0 1 L 27/148

H 0 1 L 27/04

B

審査請求 未請求 請求項の数 17 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2003-137832(P2003-137832)

(22) 出願日 平成15年5月15日(2003.5.15)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(74) 代理人 100098291

弁理士 小笠原 史朗

(72) 発明者 黒田 隆男

大阪府門真市大字門真1006番地 松下

電器産業株式会社内

F ターム(参考) 4M118 AA10 AB01 BA13 CA02 DA19

DB06 FA06 FA33

5C024 GX03 GX06 GX16 GX18 GX19

GY04 GY21 HX02 HX17 HX29

HX40 HX41 HX44

5F038 AV06 BB01 BB08 CA18 EZ20

(54) 【発明の名称】 電圧発生装置、電荷転送装置、固体撮像素子、固体撮像システムおよび電圧発生方法

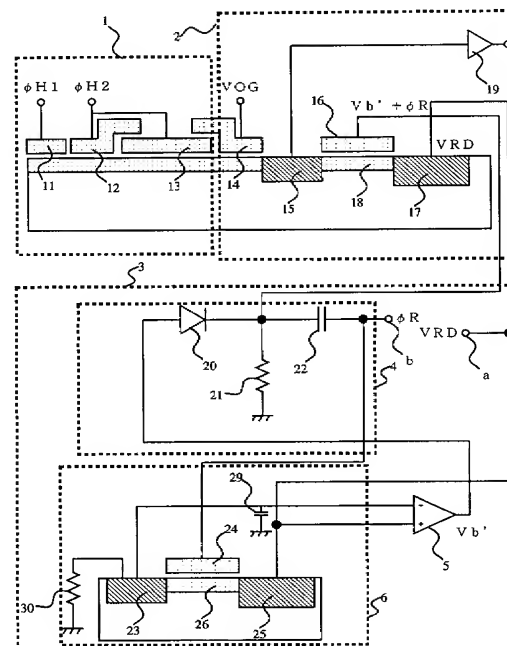
(57) 【要約】

【課題】 搭載される装置において発生されるバイアス電圧およびパルス電圧の値が装置毎にばらついても、ゲート部に最適なバイアス電圧を印加できる電圧発生装置を提供する。

【解決手段】 MOSトランジスタが搭載される装置は、MOSトランジスタのドレイン部に対して印加される第1のバイアス電圧と、所定の電位差を持つパルス電圧とを発生しており、電圧生成手段は、MOSトランジスタが搭載される装置が発生したパルス電圧の有する所定の電位差の値と、当該MOSトランジスタが搭載される装置が発生した第1のバイアス電圧の値と、MOSトランジスタのゲート部の下に存在するチャンネル部が有するチャンネル電位の値とに基づいて、当該ゲート部に印加するための第2のバイアス電圧を生成し、重畳手段は、電圧生成手段が生成した第2のバイアス電圧を、パルス電圧に重畳してMOSトランジスタのゲート部に印加すべき電圧を生成する。

【選択図】

図 1



【特許請求の範囲】

【請求項 1】

M O S トランジスタにおいて、ソース部が蓄積している電荷を、ドレイン部に移動させてリセットする際に、当該M O S トランジスタのゲート部に対して印加される電圧を発生する装置であって、

前記M O S トランジスタが搭載される装置は、当該M O S トランジスタのドレイン部に対して印加される第 1 のバイアス電圧と、所定の電位差を持つパルス電圧とを発生しており、

前記M O S トランジスタが搭載される装置が発生したパルス電圧の有する所定の電位差の値と、当該M O S トランジスタが搭載される装置が発生した第 1 のバイアス電圧の値と、前記M O S トランジスタのゲート部の下に存在するチャンネル部が有するチャンネル電位の値とに基づいて、当該ゲート部に印加するための第 2 のバイアス電圧を生成する電圧生成手段と、

前記電圧生成手段が生成した前記第 2 のバイアス電圧を、前記パルス電圧に重畳して前記M O S トランジスタのゲート部に印加すべき電圧を生成する重畳手段とを備える、電圧発生装置。

【請求項 2】

前記電圧生成手段は、

前記M O S トランジスタのゲート部に対して前記パルス電圧が印加されたときに、当該M O S トランジスタのチャンネル部にあらわれる電位を検出する電位検出手段と、

前記第 1 のバイアス電圧と前記電位検出手段が検出した電位の大きさとの電圧差を求める電圧差計測手段とを含み、

前記電圧差計測手段が計測した電圧差に基づいて、前記第 2 のバイアス電圧を生成することを特徴とする、請求項 1 に記載の電圧発生装置。

【請求項 3】

前記電圧生成手段は、前記電圧差計測手段が求めた電圧差を所定数倍して前記第 2 のバイアス電圧を生成する増幅手段をさらに含むことを特徴とする、請求項 2 に記載の電圧発生装置。

【請求項 4】

前記所定数は、前記パルス電圧が前記M O S トランジスタのゲート部に印加されたときに、当該M O S トランジスタのチャンネル部で変化する電位の大きさの、前記パルス電圧の所定の電位差の大きさに対する比の値以上の値であることを特徴とする、請求項 3 に記載の電圧発生装置。

【請求項 5】

前記電圧生成手段は、前記M O S トランジスタと略同じ構造を有するダミーM O S トランジスタによって構成され、

前記ダミーM O S トランジスタのゲート部には、前記パルス電圧が印加されており、

前記ダミーM O S トランジスタのソース部の電位は、当該ダミーM O S トランジスタのゲート部に前記パルス電圧が印加されたときにおける、当該ゲート部の下に存在するチャンネル部にあらわれる電位と同じ電位になるように制御されており、

前記電位検出手段は、前記ダミーM O S トランジスタのソース部の電位を検出することを特徴とする、請求項 2 に記載の電圧発生装置。

【請求項 6】

前記ダミーM O S トランジスタのゲート部のゲート長は、前記M O S トランジスタのゲート長よりも長いことを特徴とする、請求項 5 に記載の電圧発生装置。

【請求項 7】

前記ダミーM O S トランジスタのゲート部のゲート幅は、前記M O S トランジスタのゲート幅よりも狭いことを特徴とする、請求項 5 に記載の電圧発生装置。

【請求項 8】

前記ダミーM O S トランジスタのチャンネル部のチャンネル電位深さは、前記M O S トランジ

10

20

30

40

50

スタのチャネル電位深さよりも浅いことを特徴とする、請求項5に記載の電圧発生装置。

【請求項9】

前記MOSトランジスタのチャネル部および前記ダミーMOSトランジスタのチャネル部は、n型不純物が添加されることにより形成されており、

前記ダミーMOSトランジスタのチャネル部には、p型不純物がさらに添加されていることを特徴とする、請求項5に記載の電圧発生装置。

【請求項10】

前記MOSトランジスタと前記ダミーMOSトランジスタとは、同一の半導体基板上において同一の工程により形成されることを特徴とする、請求項5に記載の電圧発生装置。

【請求項11】

前記ダミーMOSトランジスタのソース部は、遮光されていることを特徴とする、請求項5に記載の電圧発生装置。

【請求項12】

前記MOSトランジスタのゲート部と、前記ダミーMOSトランジスタのゲート部とは、電氣的に接続されていることを特徴とする、請求項5に記載の電圧発生装置。

【請求項13】

クロック信号に基づいて電荷を転送する転送手段と、MOSトランジスタで構成され、ソース部に蓄積された電荷量の大きさを出力する電荷検出手段と、前記電荷検出手段のゲート部に印加する電圧を発生する請求項1～12のいずれかに記載の電圧発生装置とを備えることを特徴とする、信号電荷転送装置。

【請求項14】

画像を撮像して当該画像の情報を信号電荷として出力する撮像手段と、前記撮像手段から出力される信号電荷を転送して出力する請求項13に記載の信号電荷転送装置とを備えることを特徴とする、固体撮像素子。

【請求項15】

MOSトランジスタにおいて、ソース部が蓄積している電荷を、ドレイン部に移動させてリセットする際に、当該MOSトランジスタのゲート部に対して印加される電圧を発生する装置であって、

前記MOSトランジスタのドレイン部に対して印加される第1のバイアス電圧を発生するバイアス発生手段と、

所定の電位差を持つパルス電圧とを発生するパルス電圧発生手段と、

前記パルス電圧発生手段が発生したパルス電圧の有する所定の電位差の値と、前記バイアス発生手段が発生した第1のバイアス電圧の値と、前記MOSトランジスタのゲート部の下に存在するチャネル部が有するチャネル電位の値とに基づいて、当該ゲート部に印加するための第2のバイアス電圧を生成する電圧生成手段と、

前記電圧生成手段が生成した前記第2のバイアス電圧を、前記パルス電圧に重畳して前記MOSトランジスタのゲート部に印加すべき電圧を生成する重畳手段とを備える、電圧発生装置。

【請求項16】

画像を撮像して当該画像の情報を信号電荷として出力する撮像手段と、クロック信号に基づいて、前記撮像手段から出力される信号電荷を転送する転送手段と、MOSトランジスタで構成されており、前記転送手段から転送されソース部に蓄積された信号電荷の大きさを出力する電荷検出手段と、前記電荷検出手段のゲート部に印加する電圧を発生する請求項15に記載の信号電荷転送装置とを備えることを特徴とする、固体撮像システム。

【請求項17】

MOSトランジスタにおいて、ソース部が蓄積している電荷を、ドレイン部に移動させてリセットする際に、当該MOSトランジスタのゲート部に対して印加される電圧を発生する方法であって、

前記MOSトランジスタが搭載される装置は、当該MOSトランジスタのドレイン部に対して印加される第1のバイアス電圧と、所定の電位差を持つパルス電圧とを発生しており

10

20

30

40

50

、
前記M O Sトランジスタが搭載される装置が発生したパルス電圧の有する所定の電位差の値と、当該M O Sトランジスタが搭載される装置が発生した第1のバイアス電圧の値と、前記M O Sトランジスタのゲート部の下に存在するチャンネル部が有するチャンネル電位の値とに基づいて、当該ゲート部に印加するための第2のバイアス電圧を生成する電圧生成ステップと、

前記電圧生成手段が生成した前記第2のバイアス電圧を、前記パルス電圧に重畳して前記M O Sトランジスタのゲート部に印加すべき電圧を生成する重畳ステップとを備える、電圧発生方法。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】

本発明は、電圧発生装置に関する発明であって、より特定的には、M O Sトランジスタにおいて、ソース部が蓄積している電荷を、ドレイン部に移動させてリセットする際に、当該M O Sトランジスタのゲート部に対して印加される電圧を発生する電圧発生装置に関する発明である。

【0002】

【従来の技術】

図10の上段は、C C D固体撮像素子における水平転送レジスタ（H C C D）の一部と、当該H C C Dから転送されてきた信号電荷を検知する電荷検知部の従来の構成を示した図である。また、図10の下段は、上記H C C Dおよび電荷検知部の各部分の電位を示した図である。それでは、以下に、従来のH C C Dおよび電荷検知部の構成および動作について簡単に説明する。

20

【0003】

H C C Dは、電極1001～1003を備える。電極1001は、転送ゲート電極であり、 $\phi H1$ のクロック電圧が印加されている。電極1002および1003は、転送ゲート電極であり、 $\phi H2$ のクロック電圧が印加されている。なお、当該 $\phi H1$ と $\phi H2$ は、同じクロック周波数であって、位相が逆のクロック電圧である。当該 $\phi H1$ と $\phi H2$ とが各電極に印加されることにより、H C C D内では、 ϕh の電位差が発生する。そして、当該 ϕh の電位差の発生により、信号電荷が、図10の左方向から右方向に転送される。

30

【0004】

電荷検知部は、電極1004、ソース部1005、リセットゲート部1006、ドレイン部1007、チャンネル部1008およびアンプ1009を備える。電極1004には、電圧V O Gが印加されている。ソース部1005には、H C C Dから転送されてきた信号電荷1010が蓄積される。当該ソース部1005には、アンプ1009が接続されている。当該アンプ1009は、当該信号電荷1010を電圧に変換して、信号検知部外へと出力する。

【0005】

リセットゲート部1006には、ソース部1005に蓄積された信号電荷1010をドレイン部1007に排出することでリセットするために、図11に示されるバイアス電圧V bとクロック電圧 ϕR とが印加されている。チャンネル部1008は、チャンネル電位 $\phi c h$ を予め有している。そして、当該チャンネル部1008は、ゲート電極に印加されるバイアス電圧V bにより、電圧が ϕb だけ上昇し、クロック電圧 ϕR により、電圧が $\phi c l$ だけ変動する。

40

【0006】

ドレイン部1007には、所定の電圧V R Dが印加されており、リセットゲート部1006を介して、ソース部1005から流入してくる信号電荷を排出する。

【0007】

以上のように構成された従来の電荷検知部について、以下にその動作について図面を参照しながら説明を行う。図12は、従来の電荷検知部のリセットゲート部1006にパルス

50

電圧 ϕR が印加されたときの各部の電位を示した図である。

【0008】

図12に示されるように、リセットゲート部1006にパルス電圧 ϕR が印加されると、当該チャネル部1008の電位は、 $\phi ch + \phi b + \phi cl$ になる。その為、チャネル部1008の電位は、ドレイン部1007の電位 V_{RD} よりも高くなる。その結果、図12に示されるように、ソース部1005に蓄積された信号電荷1010は、ドレイン部1007に排出される。これにより、当該電荷検知部がリセットされる。

【0009】

ここで、上記電位 V_{RD} およびパルス電圧 ϕR は、当該電荷検知部が搭載される装置において生成され、装置毎に変動する値である。その為、例えば、電位 V_{RD} が装置の駆動条件の範囲内での最大値を取り、パルス電圧 ϕR が装置の駆動条件の範囲内での最小値を取った場合には、図13に示されるように、チャネル部1008の電位 $\phi ch + \phi b + \phi cl$ は、ドレイン部1007の電位 V_{RD} よりも小さな値になってしまう。その結果、当該電荷検知部では、MOSトランジスタにおけるいわゆるサブスレッシュホールド状態が発生し、リセット残り3000が発生してしまう。その為、当該電荷検知部において、正常なリセットができない。

10

【0010】

そこで、上記のような問題が発生しないように、リセットゲート部1006に印加されるバイアス電圧 V_b には、予め大きめの値が設定される。そして、予め大きな値に設定されたバイアス電圧 V_b は、電荷検知部に外付けで接続された電圧発生回路の記憶部において記憶され、当該電圧発生回路は、当該記憶部に記憶されている当該バイアス電圧 V_b をリセットゲート部1006に印加する（例えば、特許文献1）。これにより、MOSトランジスタにおける上記サブスレッシュホールド状態の発生が防止される。

20

【0011】

【特許文献1】

特開2002-231889号公報

【0012】

【発明が解決しようとする課題】

しかしながら、上記バイアス電圧 V_b が大きすぎると、図14に示されるように、パルス電圧 ϕR が印加されていない状態において、リセットゲート部1006の電位が上がりすぎてしまう。その結果、飽和減少信号電荷4000が発生してしまい、飽和特性が低下する。このように、上記従来の電荷検出部では、リセットゲート部1006に印加すべきバイアス電圧 V_b の設定が困難であった。

30

【0013】

そこで、本発明の目的は、搭載される装置において発生されるバイアス電圧およびパルス電圧の値が装置毎にばらついても、ゲート部に最適なバイアス電圧を印加できる電圧発生装置を提供することである。

【0014】

【課題を解決するための手段】

本発明に係る電圧発生装置は、MOSトランジスタが搭載される装置が発生したパルス電圧の有する所定の電位差の値と、当該MOSトランジスタが搭載される装置が発生した第1のバイアス電圧の値と、MOSトランジスタのゲート部の下に存在するチャネル部が有するチャネル電位の値とに基づいて、当該ゲート部に印加するための第2のバイアス電圧を生成することを特徴とする。

40

【0015】

上記電圧発生装置によれば、搭載される装置において発生されるバイアス電圧およびパルス電圧の値が装置毎にばらついても、ゲート部に最適なバイアス電圧印加できる電圧発生装置を提供することができる。

【0016】

【発明の実施の形態】

50

それでは、以下に、本発明の一実施形態に係る電圧発生装置について図面を参照しながら説明する。図1は、CCD固体撮像素子における水平転送レジスタ(HCCD)の一部、当該HCCDから転送されてきた信号電荷を検知する電荷検知部および当該電荷検知部で使用される電圧を発生する電圧発生部の構成を示した図である。また、図2(a)は、入力端子aに印加される直流電圧VRDの電圧と時間との関係を示したグラフである。また、図2(b)は、入力端子bに印加されるパルス電圧φRの電圧と時間との関係を示したグラフである。

【0017】

図1に示される装置は、HCCD1、電荷検知部2、電圧発生回路3、入力端子aおよび入力端子bを備える。

10

【0018】

HCCD1は、電極11~13を含み、固体撮像素子の撮像部から出力されてくる信号電荷を図1の左方向から右方向に転送する。電極11は、転送ゲート電極であり、φH1のクロック電圧が印加されている。電極12および13は、転送ゲート電極であり、φH2のクロック電圧が印加されている。なお、当該φH1とφH2は、同じクロック周波数であって、位相が反転されたクロック電圧である。

【0019】

入力端子aには、図2(a)に示される直流電圧VRDが印加される。当該直流電圧VRDは、ドレイン部17、ドレイン部25および差動増幅器28に入力する。なお、ドレイン部17、ドレイン部25および差動増幅器28については、後述する。また、入力端子bには、図2(b)に示されるパルス電圧φRが印加される。当該パルス電圧φRは、コンデンサ22およびリセットゲート部24に入力する。なお、コンデンサ22およびリセットゲート部24については後述する。

20

【0020】

次に、電圧発生回路3について説明する。当該電圧発生回路3は、電荷検知部2で 사용되는電圧を発生する回路であって、重畳回路4、差動増幅器5およびダミー素子6を含む。

【0021】

それでは、ダミー素子6および差動増幅器5について図面を参照しながら説明する。図3は、本実施形態に係るダミー素子6の構成および各部分の電位を示した図である。図4(a)は、差動増幅器5の一端子に入力される直流電圧と時間との関係を示した図である。図4(b)は、差動増幅器5から出力される直流電圧と時間との関係を示した図である。当該ダミー素子6は、ソース部23、リセットゲート部24、ドレイン部25、チャネル部26、コンデンサ29および抵抗器30を含む。当該ダミー素子6は、直流電圧VRDとパルス電圧φRとに基づいて、リセットゲート部24に印加される直流電圧Vb'を生成する。

30

【0022】

ソース部23には、抵抗器30が接続されており、電荷が供給される。当該抵抗器30は、具備されていなくても原理的には動作可能であるが、例えば、パルス性ノイズ等によって、ソース部の電荷が一時的に過剰に減少することによって、ソース部23の電位が上がりすぎた場合に、電荷を供給して、当該ソース部23の電位を安定化する役割を果たす。また、ソース部23には、差動増幅器5が接続されており、その電位が当該差動増幅器5の一端子に出力される。リセットゲート部24には、図2(b)に示されるパルス電圧φRが印加されている。チャネル部26は、チャネル電位φchを有している。当該チャネル部26の電位は、リセットゲート部24に印加されるパルス電圧φRにより、φchとφc1+φchとの間をパルス状に変化する。なお、φRとφc1の間には、比例関係が成立し、φR=n×φc1の関係が成立するものとする。ここで、nは、チャネル部26の物性に依存する正の係数である。

40

【0023】

コンデンサ29は、ソース部23から出力されてくるパルス状の電位を、平滑化して、差

50

動増幅器 5 に対して出力する。より具体的には、ソース部 23 からは、 ϕ_{ch} と $\phi_{cl} + \phi_{ch}$ との間を変化する電位が出力されてくる。そこで、当該コンデンサ 20 は、当該電位が $\phi_{cl} + \phi_{ch}$ となるように、平滑化を行って、図 4 (a) に示される直流電圧を差動増幅器 5 の一端子に出力する。

【0024】

ドレイン部 25 には、図 2 (a) に示される直流電圧 V_{RD} が印加されており、常に電位が V_{RD} となるように維持されている。また、当該ドレイン部 25 に入力される直流電圧 V_{RD} は、差動増幅器 5 の+端子に対しても入力される。

【0025】

差動増幅器 5 は、+端子側に入力される直流電圧 V_{RD} から一端子側に入力される $\phi_{cl} + \phi_{ch}$ を減算し、 $1/k$ 倍して、図 4 (b) に示される直流電圧を生成し、重畳回路 4 10 10 に出力する。ここで、 k は、正の数であり、 n 以下の値である。

【0026】

次に、重畳回路 4 について図面を参照しながら説明する。図 5 は、当該重畳回路 4 から出力されるパルス電圧と時間との関係を示したグラフである。

【0027】

当該重畳回路 4 は、ダイオード 20、抵抗器 21 およびコンデンサ 22 を備え、ダイオード 20 に入力してくる直流電圧 $1/k \times \{V_{RD} - (\phi_{ch} + \phi_{cl})\}$ と、コンデンサ 22 に入力してくるパルス電圧 ϕ_R とを重畳し、図 5 に示されるようなパルス電圧を生成して、電荷検知部 2 に対して出力する。なお、ダイオード 20 は、ここでは電圧降下のない理想ダイオードとして説明を行っている。なお、当該ダイオード 20 の代わりに、ソースとゲートとを接続して、ソースとドレインとの間でダイオード特性を持たせた MOSFET が適用されても良い。また、当該直流電圧 $1/k \times \{V_{RD} - (\phi_{ch} + \phi_{cl})\}$ を、以下に、バイアス電圧 $V_{b'}$ と称する。 20

【0028】

次に、電荷検知部 2 について説明する。当該電荷検知部 2 は、電極 14、ソース部 15、リセットゲート部 16、ドレイン部 17、チャネル部 18 およびアンプ 19 を含む。電極 14 には、直流電圧 V_{OG} が印加されている。ソース部 15 には、HCCD 1 から転送されてきた信号電荷が蓄積される。また、当該ソース部 15 にはアンプ 19 が接続されている。当該アンプ 19 は、ソース部 15 に蓄積された信号電荷を電圧に変換して、信号検知部 2 外へと出力する。 30

【0029】

リセットゲート部 16 には、ソース部 15 に蓄積された信号電荷をドレイン部 17 に排出することでリセットするために、重畳回路 4 から得られるバイアス電圧 $V_{b'}$ とパルス電圧 ϕ_R とが印加されている。チャネル部 18 は、チャネル電位 ϕ_{ch} を予め有している。そして、当該チャネル部 18 は、リセットゲート部 16 に印加されるバイアス電圧 $V_{b'}$ により、電圧が $\phi_{b'}$ だけ上昇し、クロック電圧 ϕ_R により、電圧が ϕ_{cl} だけ変動する。なお、当該 $V_{b'}$ と $\phi_{b'}$ との間には、 $V_{b'} = n \times \phi_{b'}$ の関係が成立し、当該 ϕ_R と ϕ_{cl} との間には、 $\phi_R = n \times \phi_{cl}$ の関係が成立する。ここでの n は、ダミー素子 6 で説明した定数 n と同じ定数である。これは、当該電荷検知部 2 のトランジスタとダミー素子 6 のトランジスタとが同一のチップ内で同じ手法により同時に形成されるものだからである。 40

【0030】

ドレイン部 17 には、所定の電圧 V_{RD} が印加されており、リセットゲート部 16 を介して、ソース部 15 から流入してくる信号電荷を排出する。

【0031】

以上のように構成された HCCD 1、電荷検知部 2 および電圧発生装置 3 において、以下に、各構成部の動作について説明する。まず、最初に、電圧発生装置 3 が、図 5 に示されるパルス電圧を発生するときに行う動作について説明する。

【0032】

まず、入力端子 a には、図 2 (a) の直流電圧 V_{RD} が入力される。当該直流電圧 V_{RD} は、差動増幅器 5 の + 端子およびドレイン部 25 に入力する。

【0033】

一方、入力端子 b には、図 2 (b) のパルス電圧 ϕ_R が入力される。当該パルス電圧 ϕ_R は、リセットゲート部 24 に入力する。応じて、チャンネル部 26 の電位は、 ϕ_{ch} と $\phi_{ch} + \phi_{cl}$ との間を変化する。

【0034】

チャンネル部 26 の電位が変化すると、ソース部 23 に蓄積された電荷は、チャンネル部 26 の電位に応じて、ドレイン部 25 へ移動する。そして、チャンネル部 26 の電位の変化が繰り返されることにより、ソース部 23 の電位は、 $\phi_{ch} + \phi_{cl}$ に近づく。これにより、
10 ソース部 23 からは、 $\phi_{ch} + \phi_{cl}$ の電圧が出力される。

【0035】

これに対して、コンデンサ 29 は、ソース部 23 から出力される電圧を平滑化し、差動増幅器 28 に出力する役割を果たす。その結果、差動増幅器 28 には、図 4 (a) に示されるような直流電圧 $\phi_{ch} + \phi_{cl}$ が入力される。このために、抵抗器 30 とコンデンサ 29 で規程される時定数は、 ϕ_R の周期よりも充分に長い値になるように設定される。

【0036】

次に、差動増幅器 28 は、入力端子 a から取得した直流電圧 V_{RD} から、ソース部 23 から出力されてくる直流電圧 $\phi_{ch} + \phi_{cl}$ を引き算する。当該引き算により得られる $V_{RD} - (\phi_{ch} + \phi_{cl})$ は、チャンネル部 18 に ϕ_R のみを印加したと仮定した場合に、当該チャンネル部 18 にあらわれる電位とドレイン部 17 の電位との差を表している。当該差動増幅器 28 は、引き算により得られた $V_{RD} - (\phi_{ch} + \phi_{cl})$ に対して、 $1/k$ を掛け算して、 $V_{b'}$ として重畳回路 4 に出力する。
20

【0037】

重畳回路 4 は、差動増幅器 28 から出力されるバイアス電圧 $V_{b'}$ と、入力端子 b から入力されてくるパルス電圧 ϕ_R とを重畳する。これにより、重畳回路 4 からは、図 5 に示されるようなパルス電圧が出力される。

【0038】

以上で、電圧発生装置 3 が、図 5 に示されるパルス電圧を発生するときに行う動作についての説明を終了する。
30

【0039】

次に、当該電荷検知部 2 におけるリセット動作について説明する。図 6 は、本実施形態に係る電荷検知部 2 のソース部 15 に信号電荷が蓄積されているときの各部分の電位を示した図である。図 7 は、リセット時における本実施形態に係る電荷検知部 2 の各部分の電位を示した図である。

【0040】

上述したように、電圧発生装置 3 は、 $V_{b'} = 1/k \times \{V_{RD} - (\phi_{ch} + \phi_{cl})\}$ と、パルス電圧 ϕ_R とを重畳して、図 5 に示されるパルス電圧を生成し、電荷検知部 2 のリセットゲート部 16 に出力している。

【0041】

ここで、リセットゲート部 16 に図 5 に示されるようなパルス電圧が印加されると、チャンネル部 18 の電位は、 $\phi_{ch} + \phi_{b'}$ と $\phi_{ch} + \phi_{b'} + \phi_{cl}$ との間を変動する。それでは、以下に、リセットゲート部 16 に $V_{b'} + \phi_R$ の電圧が印加されたときの各部分の電位について説明する。
40

【0042】

リセットゲート部 16 に電圧 $V_{b'} + \phi_R$ が印加されると、図 7 に示されるように、チャンネル部 18 の電位が $\phi_{ch} + \phi_{b'} + \phi_{cl}$ に変化する。

【0043】

ここで、当該 $\phi_{b'}$ と $V_{b'}$ との間には、 $V_{b'} = n \phi_{b'}$ の関係が成立する。また、 $V_{b'} = 1/k \times \{V_{RD} - (\phi_{ch} + \phi_{cl})\}$ の関係が成立する。そこで、これらの 2
50

式をチャネル部 18 の電位 $\phi_{ch} + \phi_{b'} + \phi_{cl}$ に代入すると、当該チャネル部 18 の電位は、 $n/k \times V_{RD} + (1 - n/k) (\phi_{ch} + \phi_{cl})$ となる。ところで、上述したように、 k は、 n 以下の正の数である。その為、チャネル部 18 の電位は、ドレイン部 17 の電位 V_{RD} 以上になる。その結果、ソース部 15 の信号電荷は、ドレイン部 17 に排出され、電荷検知部 2 がリセットされる。

【0044】

ここで、上記 k の設定方法について説明する。本実施形態における動作条件の一例として、 $V_{RD} = 1.5 \text{ V}$ 、パルス電圧 ϕ_R の周波数を 10 MHz とする。当該動作条件において、ソース部 15 に蓄積された信号電荷 100 がリセットされるためには、ドレイン部 17 の電位 V_{RD} とチャネル部 18 の電位 $\phi_{ch} + \phi_{b'} + \phi_{cl}$ との差 $\Delta \phi_m$ が 0.1 V 程度にならなければならない。

10

【0045】

そこで、当該電圧発生部 3 においては、実験により n 、 ϕ_{ch} および ϕ_{cl} を求め、 $n/k \times V_{RD} + (1 - n/k) (\phi_{ch} + \phi_{cl})$ と V_{RD} との差が 0.1 V になるような k を求めればよい。なお、パルス電圧 ϕ_R の周波数が 100 MHz である場合には、上記 $\Delta \phi_m$ が 0.5 V 程度になるように、 k は設定される。

【0046】

以上のように、本実施形態に係る電荷検知部および電圧発生装置によれば、実際に発生している直流電圧 V_{RD} およびパルス電圧 ϕ_R ならびにチャネル電位 ϕ_{ch} に基づいて、バイアス電圧 $V_{b'}$ が決定されるので、直流電圧 V_{RD} およびパルス電圧 ϕ_R が変化しても、最適なバイアス電圧 $V_{b'}$ を発生させることが可能となる。

20

【0047】

また、本実施形態に係る電荷検知部および電圧発生装置によれば、使用状況によって変化する直流電圧 V_{RD} およびパルス電圧 ϕ_R に基づいて、バイアス電圧 $V_{b'}$ が決定される。その為、当該バイアス電圧 $V_{b'}$ を記憶させるための素子等が不要になる。

【0048】

ここで、従来では、当該チャネル電位 ϕ_{ch} を製造段階で検出し、直流電圧 V_{RD} およびパルス電圧 ϕ_R の設計値を用いて、バイアス電圧 V_b を決定し、当該バイアス電圧 V_b を記憶部に記憶させていた。その為、素子の製造段階において、それぞれの素子のチャネル電位 ϕ_{ch} の検出を行わなければならなかった。

30

【0049】

これに対して、本実施形態に係る電圧発生装置は、ばらつきを持ったチャネル電位 ϕ_{ch} を電荷検知部で検出しながら、バイアス電圧 V_b を生成している。その為、製造段階において、チャネル電位 ϕ_{ch} を検出する必要がなくなると共に、チャネル電位 ϕ_{ch} がばらついたとしても、最適なバイアス電圧 V_b を発生させることが可能となる。

【0050】

また、本実施形態に係る電荷検知部および電圧発生装置によれば、常に直流電圧 V_{RD} およびパルス電圧 ϕ_R を検知して、リアルタイムに最適なバイアス電圧 $V_{b'}$ を発生させることができる。

【0051】

なお、本実施形態では、差動増幅器が、ダミー素子から出力される電圧を $1/k$ 倍することで、バイアス電圧 $V_{b'}$ を生成していたが、当該バイアス電圧 $V_{b'}$ の生成方法は、これに限られない。より具体的には、ダミー素子のリセットゲートのゲート長を電荷検知部のリセットゲート部のゲート長よりも大きくすれば、ソース部の電位が上がりにくくなる。その結果、ソース部から差動増幅器に出力される電位は、低くなる。これにより、リセット時の電荷検知部ゲート部の電位を、直流電圧 V_{RD} よりも高くすることが可能である。

40

【0052】

また、同様に、ダミー素子のリセットゲート部のゲート幅を電荷検知部のリセットゲート部のゲート幅よりも小さくすることによっても、リセット時の電荷検知部のゲート部の電

50

位を、直流電圧 V_{RD} よりも高くすることが可能である。

【0053】

また、同様に、ダミー素子のチャネル部のチャネル電位深さを電荷検知部のリセットゲート部のチャネル電位深さよりも浅くすることによっても、リセット時の電荷検知部のゲート部の電位を、直流電圧 V_{RD} よりも高くすることが可能である。

【0054】

なお、本実施形態に係るダミー素子のソース部は、遮光されていることが好ましい。より具体的には、当該ソース部に接続された $A1$ 配線の幅を広げて、ソース部が覆われることが好ましい。これにより、当該ソース部への光照射による電子の発生を防止でき、その結果、当該ソース部の電位が安定化される。

10

【0055】

ここで、電荷検知部およびダミー素子のチャネル部は、一般的には p 型半導体に n 型不純物が添加されることにより生成される。その為、ダミー素子のチャネル部のみに p 型不純物を添加することで、チャネル部の濃度を低くすることができ、当該ダミー素子のチャネル部のチャネル電位を電荷検知部のチャネル電位よりも低くすることができる。このように、ダミー素子のチャネル部のチャネル電位を低くすることによっても、ソース部から作動回路に出力される電位を低くすることができ、リセット時の電荷検知部ゲート部の電位を、直流電圧 V_{RD} よりも高くすることが可能である。

【0056】

ここで、本実施形態では、ダミー素子を用いて、バイアス電圧 $V_{b'}$ を求めるものとしているが、当該バイアス電圧 $V_{b'}$ を求める方法はこれに限られない。すなわち、当該バイアス電圧 $V_{b'}$ は、ドレイン部に印加される直流電圧 V_{RD} 、ゲート部に印加されるパルス電圧 ϕ_R およびチャネル部のチャネル電位に基づいて計算されるものであれば、電気回路で計算されるものであっても、ソフトウェアで計算されるものであってもよい。そこで、以下に、当該バイアス電圧がソフトウェア的に計算される場合について図面を参照しながら説明する。図8は、当該固体撮像システムの全体構成を示したブロック図である。

20

【0057】

当該固体撮像システムは、固体撮像素子51、アナログフロントエンドプロセッサ（AFEP）52、タイミングジェネレータ（TG）53、信号処理部55、制御部56、電圧発生回路57および記憶部58を備える。

30

【0058】

固体撮像素子51は、図9に示され、撮像部60、HCCD1、アンプ19および垂直電荷転送素子（VCCD）63を備え、撮像した画像の信号を電圧信号として、AFEP52に出力する。なお、図1に示される電荷検知部2および重畳回路4は、HCCD1とアンプ1との間に設けられる。また、差動増幅器5およびダミー素子6は、不要である。バイアス電圧 $V_{b'}$ を発生させる動作は、制御部56により行われるからである。

【0059】

撮像部60は、フォトダイオードを含んだ複数の素子により構成されており、入力してくる光信号を信号電荷に変換してVCCD63に出力する。VCCD63は、クロック信号に基づいて、信号電荷をHCCD1に対して出力する。HCCD1は、図1のHCCDであり、信号電荷を図9の右方向から左方向へ転送する。HCCD1の出力部分付近には、MOSトランジスタにより構成される電荷検知部2が設けられている。アンプ19は、図1のアンプであり、信号電荷を電圧値に変換してAFEP52に対して出力する。

40

【0060】

AFEP52は、出力されてくる電圧信号に対して増幅等の処理を施すと共に、デジタル信号に変換して、信号処理部55に出力する。信号処理部55は、撮像部60から出力されてきた信号に基づいて、映像信号を構成する等の処理を施す。TG53は、AFEP52および固体撮像素子51を動作させるためのクロック電圧 ϕ_R を生成する。パルス電圧 ϕ_R は、図1に示される入力端子bに入力する。電圧発生回路57は、電荷検知部のドレ

50

イン部に印加するための直流電圧 V_{RD} を生成している。直流電圧 V_{RD} は、図 1 に示される入力端子 a に入力する。記憶部 58 は、電荷検知部のチャネル部のチャネル電位 ϕ_{ch} を記憶している。また、制御部 56 は、直流電圧 V_{RD} 、パルス電圧 ϕ_R およびチャネル電位 ϕ_{ch} に基づいて、電荷検知部のゲート部に印加する最適なバイアス電圧 $V_{b'}$ を計算している。

【0061】

以上のように構成された固体撮像システムにおいて、リセットゲート部に印加するバイアス電圧 $V_{b'}$ の発生時における動作について説明する。

【0062】

当該固体撮像素子が動作を開始すると、制御部 56 は、記憶部からチャネル電位 ϕ_{ch} を取得し、電圧発生回路から V_{RD} を取得し、さらに $TG53$ からパルス電圧 ϕ_R を取得する。そして、当該制御部 56 は、取得したそれぞれの電圧に基づいて、バイアス電圧 $V_{b'}$ を計算する。

【0063】

次に、制御部 56 は、電圧発生回路 57 に、直流電圧 V_{RD} を発生させると共に、最適バイアス電圧 $V_{b'}$ を発生させる。また、 $TG53$ は、パルス電圧 ϕ_R を生成して、出力する。応じて、固体撮像素子 51 内の電荷検知部は、バイアス電圧 $V_{b'}$ 、パルス電圧 ϕ_R および直流電圧 V_{RD} の供給を受ける。これにより、当該電荷検知部は、最適バイアス電圧 $V_{b'}$ により、リセット動作を行うことが可能となる。

【0064】

なお、本実施形態に係る電圧発生部は、固体撮像素子の $HCCD$ に接続された電荷検知部の電圧を発生させる装置であるとしているが、当該電圧発生部が適用される場所は固体撮像素子の $HCCD$ の電荷検知部のみに限られない。

【0065】

【発明の効果】

本発明に係る電圧発生装置によれば、搭載される装置において発生されるバイアス電圧およびパルス電圧の値が装置毎にばらついていても、 MOS トランジスタのゲート部に最適なバイアス電圧印加できる。

【図面の簡単な説明】

【図 1】 本発明の $HCCD$ 、電荷検知部および電圧発生部の構成を示した図である。

【図 2】 本発明の電圧発生部に入力される直流電圧 V_{RD} およびパルス電圧 ϕ_R の時間的变化を示したグラフである。

【図 3】 本発明のダミー素子の構成および各部の電位を示した図である。

【図 4】 本発明の差動増幅器の一端子に入力される電圧の時間的变化と、当該差動増幅器から出力される電圧の時間的变化とを示したグラフである。

【図 5】 本発明の電荷検知部のリセットゲート部に印加される電圧の時間的变化を示したグラフである。

【図 6】 本発明の電荷検知部の各部の電位を示した図である。

【図 7】 本発明の電荷検知部のリセット動作時における各部の電位を示した図である。

【図 8】 本発明の固体撮像システムの全体構成を示した図である。

【図 9】 本発明の固体撮像素子の構成を示したブロック図である。

【図 10】 従来の $HCCD$ 、電荷検知部および電圧発生部の構成およびその電位を示した図である。

【図 11】 従来の電荷検知部のリセットゲート部に印加される電圧の時間的变化を示したグラフである。

【図 12】 従来の電荷検知部のリセット動作時における各部の電位を示した図である。

【図 13】 従来の電荷検知部において、直流電圧 V_{RD} が大きくパルス電圧 ϕ_{ch} が小さすぎる場合において、リセット動作が行われたときの各部の電位を示した図である。

【図 14】 従来の電荷検知部において、バイアス電圧 V_b が大きすぎる場合において、リセット動作が行われたときの各部の電位を示した図である。

10

20

30

40

50

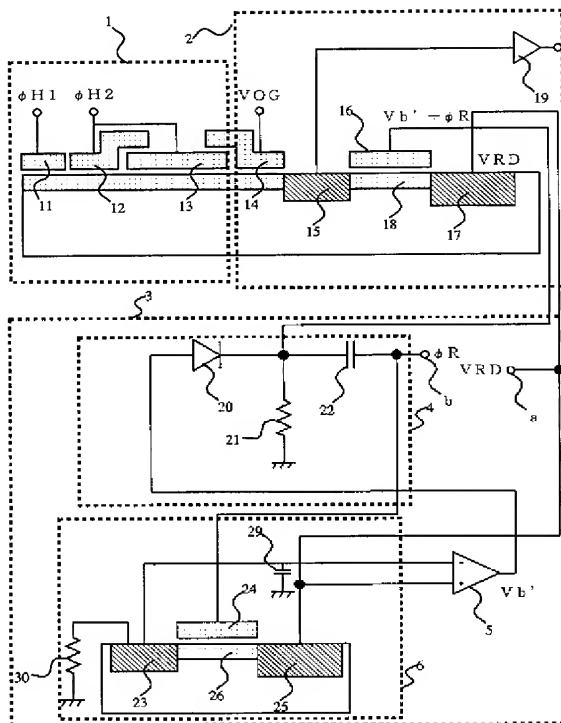
【符号の説明】

- 1 H C C D
 2 電荷検知部
 3 電圧発生部
 4 重畳回路
 5 差動増幅器
 6 ダミー素子
 11、12、13、14 電極
 15、23 ソース部
 16、24 リセットゲート部
 17、25 ドレイン部
 18、26 チャンネル部
 19 アンプ
 20 ダイオード
 21、30 抵抗
 22、29 コンデンサ
 51 固体撮像素子
 52 A F E P
 53 T G
 55 信号処理部
 56 制御部
 57 電圧発生回路
 58 記憶部

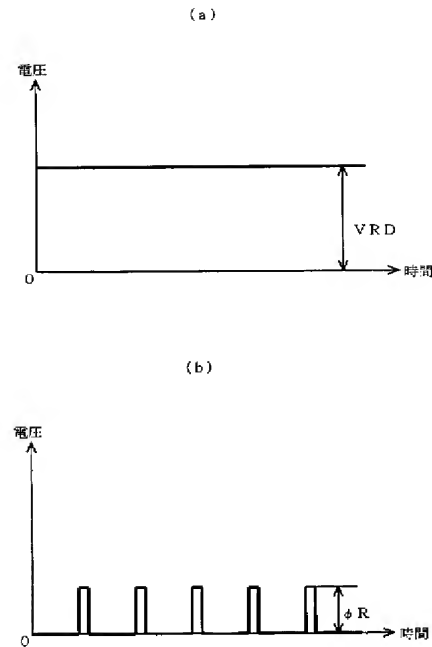
10

20

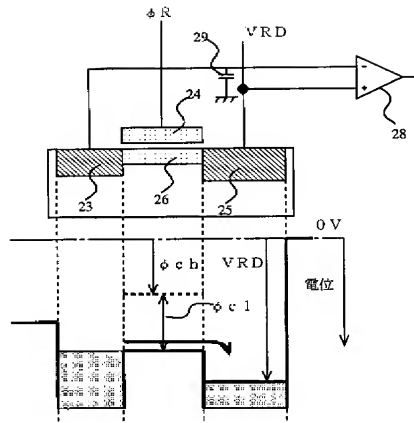
【図1】



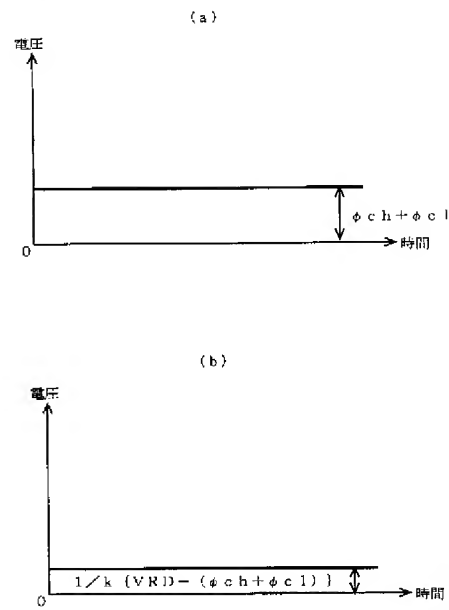
【図2】



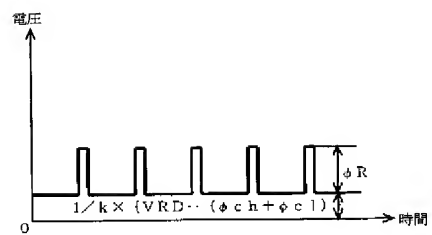
【図 3】



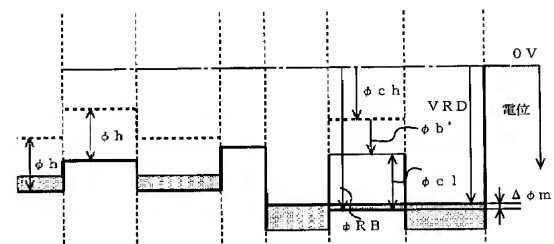
【図 4】



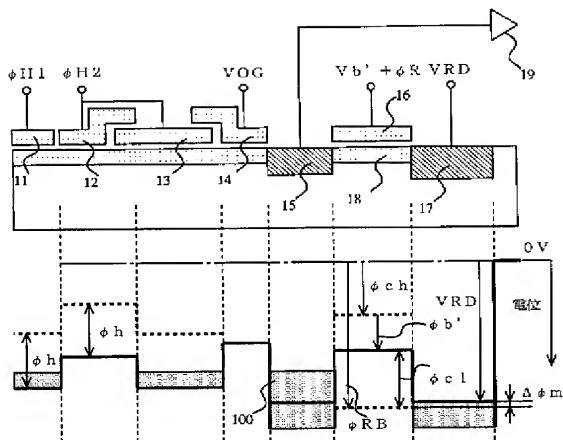
【図 5】



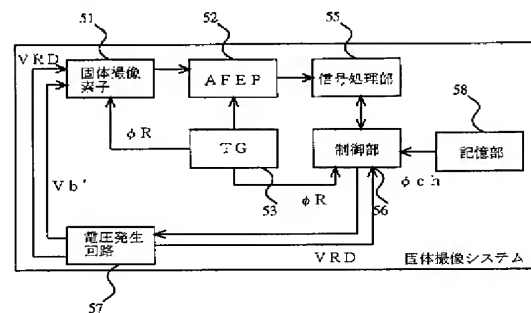
【図 7】



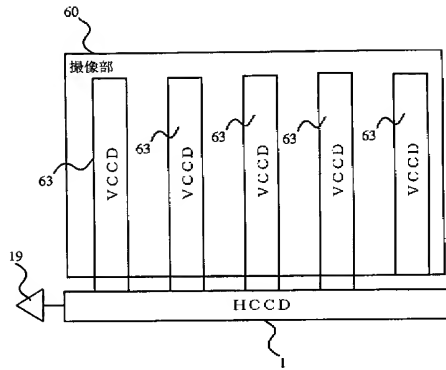
【図 6】



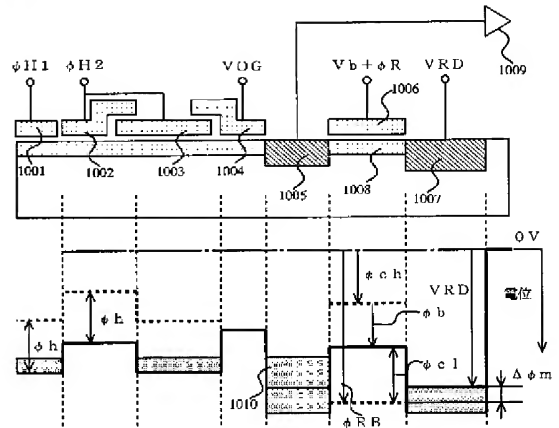
【図 8】



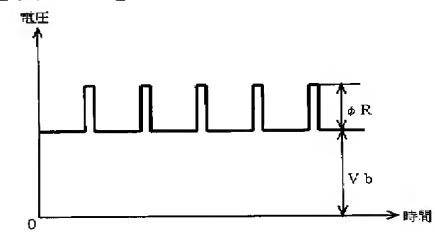
【図 9】



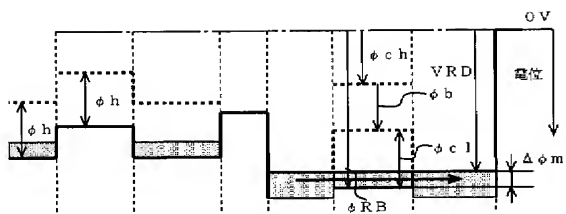
【図 10】



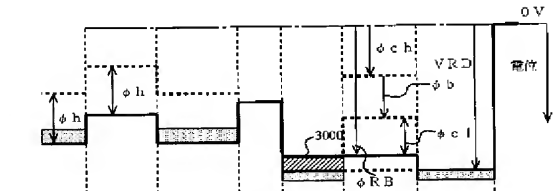
【図 11】



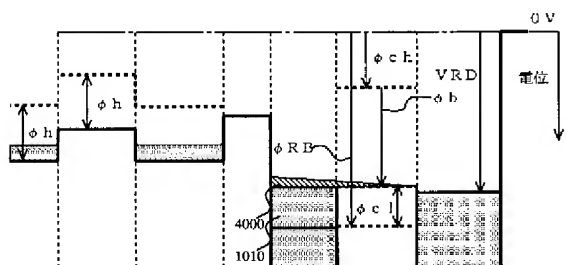
【図 12】



【図 13】



【図 14】



【手続補正書】

【提出日】平成16年4月13日(2004.4.13)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正の内容】

【0004】

電荷検知部は、電極1004、ソース部1005、リセットゲート部1006、ドレイン部1007、チャンネル部1008およびアンプ1009を備える。電極1004には、電圧V_{OG}が印加されている。ソース部1005には、HCCDから転送されてきた信号電荷1010が蓄積される。当該ソース部1005には、アンプ1009が接続されている。当該アンプ1009は、当該信号電荷1010を電圧に変換して、電荷検知部外へと出力する。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

【発明の実施の形態】

それでは、以下に、本発明の一実施形態に係る電圧発生装置について図面を参照しながら説明する。図1は、CCD固体撮像素子における水平転送レジスタ(HCCD)の一部、当該HCCDから転送されてきた信号電荷を検知する電荷検知部および当該電荷検知部で使用する電圧を発生する電圧発生装置の構成を示した図である。また、図2(a)は、入力端子aに印加される直流電圧V_{RD}の電圧と時間との関係を示したグラフである。また、図2(b)は、入力端子bに印加されるパルス電圧φ_Rの電圧と時間との関係を示したグラフである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

図1に示される装置は、HCCD1、電荷検知部2、電圧発生装置3、入力端子aおよび入力端子bを備える。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

入力端子aには、図2(a)に示される直流電圧V_{RD}が印加される。当該直流電圧V_{RD}は、ドレイン部17、ドレイン部25および差動増幅器5に入力する。なお、ドレイン部17、ドレイン部25および差動増幅器5については、後述する。また、入力端子bには、図2(b)に示されるパルス電圧φ_Rが印加される。当該パルス電圧φ_Rは、コンデンサ22およびリセットゲート部24に入力する。なお、コンデンサ22およびリセットゲート部24については後述する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】 0020

【補正方法】 変更

【補正の内容】

【0020】

次に、電圧発生装置3について説明する。当該電圧発生装置3は、電荷検知部2で使用される電圧を発生する回路であって、重畳回路4、差動増幅器5およびダミー素子6を含む。

【手続補正6】

【補正対象書類名】 明細書

【補正対象項目名】 0022

【補正方法】 変更

【補正の内容】

【0022】

ソース部23には、抵抗器30が接続されており、電荷が供給される。当該抵抗器30は、具備されていなくても原理的には動作可能であるが、例えば、パルス性ノイズ等によって、ソース部の電荷が一時的に過剰に減少することによって、ソース部23の電位が上がりすぎた場合に、電荷を供給して、当該ソース部23の電位を安定化する役割を果たす。また、ソース部23には、差動増幅器5が接続されており、その電位が当該差動増幅器5の一端子に出力される。リセットゲート部24には、図2(b)に示されるパルス電圧 ϕ_R が印加されている。チャンネル部26は、チャンネル電位 ϕ_{ch} を有している。当該チャンネル部26の電位は、リセットゲート部24に印加されるパルス電圧 ϕ_R により、 ϕ_{ch} と $\phi_{cl} + \phi_{ch}$ との間をパルス状に変化する。なお、 ϕ_R と ϕ_{cl} の間には、比例関係が成立し、 $\phi_{cl} = n \times \phi_R$ の関係が成立するものとする。ここで、 n は、チャンネル部26の物性に依存する正の係数である。

【手続補正7】

【補正対象書類名】 明細書

【補正対象項目名】 0023

【補正方法】 変更

【補正の内容】

【0023】

コンデンサ29は、ソース部23から出力されてくるパルス状の電位を、平滑化して、差動増幅器5に対して出力する。より具体的には、ソース部23からは、 ϕ_{ch} と $\phi_{cl} + \phi_{ch}$ との間を変化する電位が出力されてくる。そこで、当該コンデンサ29は、当該電位が $\phi_{cl} + \phi_{ch}$ となるように、平滑化を行って、図4(a)に示される直流電圧を差動増幅器5の一端子に出力する。

【手続補正8】

【補正対象書類名】 明細書

【補正対象項目名】 0029

【補正方法】 変更

【補正の内容】

【0029】

リセットゲート部16には、ソース部15に蓄積された信号電荷をドレイン部17に排出することでリセットするために、重畳回路4から得られるバイアス電圧 $V_{b'}$ とパルス電圧 ϕ_R とが印加されている。チャンネル部18は、チャンネル電位 ϕ_{ch} を予め有している。そして、当該チャンネル部18は、リセットゲート部16に印加されるバイアス電圧 $V_{b'}$ により、電圧が $\phi_{b'}$ だけ上昇し、クロック電圧 ϕ_R により、電圧が ϕ_{cl} だけ変動する。なお、当該 $V_{b'}$ と $\phi_{b'}$ の間には、 $\phi_{b'} = n \times V_{b'}$ の関係が成立し、当該 ϕ_R と ϕ_{cl} の間には、 $\phi_{cl} = n \times \phi_R$ の関係が成立する。ここでの n は、ダミー素子6で説明した定数 n と同じ定数である。これは、当該電荷検知部2のトランジスタとダミー素子6のトランジスタとが同一のチップ内で同じ手法により同時に形成されるものだから

である。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正の内容】

【0035】

これに対して、コンデンサ29は、ソース部23から出力される電圧を平滑化し、差動増幅器5に出力する役割を果たす。その結果、差動増幅器5には、図4(a)に示されるような直流電圧 $\phi_{ch} + \phi_{cl}$ が入力される。このために、抵抗器30とコンデンサ29で規程される時定数は、 ϕ_R の周期よりも十分に長い値になるように設定される。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正の内容】

【0036】

次に、差動増幅器5は、入力端子aから取得した直流電圧VRDから、ソース部23から出力されてくる直流電圧 $\phi_{ch} + \phi_{cl}$ を引き算する。当該引き算により得られるVRD - ($\phi_{ch} + \phi_{cl}$)は、チャネル部18に ϕ_R のみを印加したと仮定した場合に、当該チャネル部18にあらわれる電位とドレイン部17の電位との差を表している。当該差動増幅器5は、引き算により得られたVRD - ($\phi_{ch} + \phi_{cl}$)に対して、 $1/k$ を掛け算して、Vb'として重畳回路4に出力する。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正の内容】

【0043】

ここで、当該 $\phi_{b'}$ とVb'との間には、 $\phi_{b'} = n V_{b'}$ の関係が成立する。また、 $V_{b'} = 1/k \times \{VRD - (\phi_{ch} + \phi_{cl})\}$ の関係が成立する。そこで、これらの2式をチャネル部18の電位 $\phi_{ch} + \phi_{b'} + \phi_{cl}$ に代人すると、当該チャネル部18の電位は、 $n/k \times VRD + (1 - n/k)(\phi_{ch} + \phi_{cl})$ となる。ところで、上述したように、kは、n以下の正の数である。その為、チャネル部18の電位は、ドレイン部17の電位VRD以上になる。その結果、ソース部15の信号電荷は、ドレイン部17に排出され、電荷検知部2がリセットされる。

【手続補正 12】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正の内容】

【0045】

そこで、当該電圧発生装置3においては、実験によりn、 ϕ_{ch} および ϕ_{cl} を求め、 $n/k \times VRD + (1 - n/k)(\phi_{ch} + \phi_{cl})$ とVRDとの差が0.1Vになるようなkを求めればよい。なお、パルス電圧 ϕ_R の周波数が100MHzである場合には、上記 $\Delta\phi_m$ が0.5V程度になるように、kは設定される。

【手続補正 13】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】変更

【補正の内容】

【0055】

ここで、電荷検知部およびダミー素子のチャネル部は、一般的には p 型半導体に n 型不純物が添加されることにより生成される。その為、ダミー素子のチャネル部のみに p 型不純物を添加することで、チャネル部の濃度を低くすることができ、当該ダミー素子のチャネル部のチャネル電位を電荷検知部のチャネル電位よりも低くすることができる。このように、ダミー素子のチャネル部のチャネル電位を低くすることによっても、ソース部から差動増幅器に出力される電位を低くすることができ、リセット時の電荷検知部ゲート部の電位を、直流電圧 V_{RD} よりも高くすることが可能である。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正の内容】

【0058】

固体撮像素子 51 は、図 9 に示され、撮像部 60、HCCD1、アンプ 19 および垂直電荷転送素子 (VCCD) 63 を備え、撮像した画像の信号を電圧信号として、AFEP52 に出力する。なお、図 1 に示される電荷検知部 2 および重畳回路 4 は、HCCD1 とアンプ 19 との間に設けられる。また、差動増幅器 5 およびダミー素子 6 は、不要である。バイアス電圧 $V_{b'}$ を発生させる動作は、制御部 56 により行われるからである。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0064

【補正方法】変更

【補正の内容】

【0064】

なお、本実施形態に係る電圧発生装置は、固体撮像素子の HCCD に接続された電荷検知部の電位を発生させる装置であるとしているが、当該電圧発生装置が適用される場所は固体撮像素子の HCCD の電荷検知部のみに限られない。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正の内容】

【図面の簡単な説明】

【図1】本発明の HCCD、電荷検知部および電圧発生装置の構成を示した図である。

【図2】本発明の電圧発生装置に入力される直流電圧 V_{RD} およびパルス電圧 ϕ_R の時間的変化を示したグラフである。

【図3】本発明のダミー素子の構成および各部の電位を示した図である。

【図4】本発明の差動増幅器の一端子に入力される電圧の時間的変化と、当該差動増幅器から出力される電圧の時間的変化とを示したグラフである。

【図5】本発明の電荷検知部のリセットゲート部に印加される電圧の時間的変化を示したグラフである。

【図6】本発明の電荷検知部の各部の電位を示した図である。

【図7】本発明の電荷検知部のリセット動作時における各部の電位を示した図である。

【図8】本発明の固体撮像システムの全体構成を示した図である。

【図9】本発明の固体撮像素子の構成を示したブロック図である。

【図10】従来の HCCD、電荷検知部および電圧発生装置の構成およびその電位を示した図である。

【図11】従来の電荷検知部のリセットゲート部に印加される電圧の時間的変化を示した

グラフである。

【図 1 2】従来の電荷検知部のリセット動作時における各部の電位を示した図である。

【図 1 3】従来の電荷検知部において、直流電圧 V_{RD} が大きくパルス電圧 ϕ_{ch} が小さすぎる場合において、リセット動作が行われたときの各部の電位を示した図である。

【図 1 4】従来の電荷検知部において、バイアス電圧 V_b が大きすぎる場合において、リセット動作が行われたときの各部の電位を示した図である。

【符号の説明】

- 1 H C C D
- 2 電荷検知部
- 3 電圧発生装置
- 4 重畳回路
- 5 差動増幅器
- 6 ダミー素子
- 1 1、1 2、1 3、1 4 電極
- 1 5、2 3 ソース部
- 1 6、2 4 リセットゲート部
- 1 7、2 5 ドレイン部
- 1 8、2 6 チャネル部
- 1 9 アンプ
- 2 0 ダイオード
- 2 1、3 0 抵抗
- 2 2、2 9 コンデンサ
- 5 1 固体撮像素子
- 5 2 A F E P
- 5 3 T G
- 5 5 信号処理部
- 5 6 制御部
- 5 7 電圧発生回路
- 5 8 記憶部

フロントページの続き

(51)Int. Cl. ⁷

H O 1 L 29/762

F I

テーマコード (参考)

PAT-NO: JP02004343450A
DOCUMENT-IDENTIFIER: JP 2004343450 A
TITLE: VOLTAGE GENERATION DEVICE,
ELECTRIC CHARGE TRANSFER
DEVICE, SOLID STATE IMAGING
DEVICE, SOLID STATE IMAGING
SYSTEM AND VOLTAGE
GENERATION METHOD
PUBN-DATE: December 2, 2004

INVENTOR-INFORMATION:

NAME	COUNTRY
KURODA, TAKAO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP2003137832
APPL-DATE: May 15, 2003

INT-CL (IPC): H04N005/335 , H01L021/339 ,
H01L021/822 , H01L027/04 ,
H01L027/148 , H01L029/762

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a voltage generation device by which an optimum bias voltage is applied to a gate section even when the value

of a bias voltage and the value of a pulse voltage generated in a MOS transistor mounted device vary among devices.

SOLUTION: The MOS transistor mounted device generates the first bias voltage applied to the drain section of a MOS transistor and the pulse voltage having a specified potential difference. A voltage generation means generates the second bias voltage applied to the gate section based on the value of the specified potential difference involved in the pulse voltage generated by the MOS transistor mounted device, the value of the first bias voltage generated by the MOS transistor mounted device, and the value of a channel potential involved in a channel section present under the gate section of the MOS transistor. A superimposition means superimposes the second bias voltage generated by the voltage generation means on the pulse voltage to generate the voltage applied to the gate section of the MOS transistor.

COPYRIGHT: (C) 2005, JPO&NCIPI